## **PCT**

# WELTORGANISATION FÜR GEISTIGES EIGENTUM

Internationales Būro

INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation 5:

G06F 9/38, 15/78

(11) Internationale Veröffentlichungsnummer:

WO 94/06077

A1

(43) Internationales Veröffentlichungsdatum:

Veröffentlicht

17. März 1994 (17.03.94)

(21) Internationales Aktenzeichen:

PCT/DE93/00720

(22) Internationales Anmeldedatum: 11. August 1993 (11.08.93)

(81) Bestimmungsstaaten: US, europäisches Patent (AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL,

(30) Prioritätsdaten:

P 42 28 761.8

28. August 1992 (28.08.92)

DE

Mit internationalem Recherchenbericht.

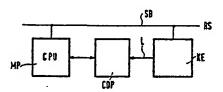
(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIE-MENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): BUCHENRIEDER, Klaus [DE/DE]; Waldparkstraße 60, D-85521 Ottobrunn-Riemerling (DE).

(54) Title: COMPUTER SYSTEM WITH AT LEAST ONE MICROPROCESSOR AND AT LEAST ONE COPROCESSOR, AND A METHOD OF OPERATING THE SYSTEM

(54) Bezeichnung: RECHNERSYSTEM MIT MINDESTENS EINEM MIKROPROZESSOR UND MINDESTENS EINEM COPROZESSOR UND VERFAHREN ZU DESSEN BETRIEB



## (57) Abstract

The invention concerns a computer system with at least one microprocessor and a coprocessor, the coprocessor (COP) being hardware configured so that the function performed by the coprocessor is adjustable in dependence on the program to be executed. The coprocessor is made up of functional units which each can execute one function and programmable wiring channels which permit a connection to be established between each functional unit and the microprocessor. When an application program is executed, it is thus possible to configure one or more coprocessors according to the program code and hence accelerate program execution.

### (57) Zusammenfassung

Bei einem Rechnersystem mit mindestens einem Mikroprozessor und einem Coprozessor ist der Coprozessor (COP) hardwaremäßig so ausgeführt, daß die von ihm auszuführende Funktion gemäß dem auszuführenden Programm einstellbar ist. Der Coprozessor besteht dazu aus Funktionseinheiten, die jeweils eine Funktion ausführen können und programmierbaren Verdrahtungskanälen, die die Verbindung jeder Funktionseinheit mit dem Mikroprozessor einzustellen erlauben. Beim Ablauf eines jeden Anwenderprogramms besteht dann die Möglichkeit, einen oder mehrere Coprozessoren entsprechend dem Code des Programms zu konfigurieren und damit eine Beschleunigung des Programmlaufs zu erreichen.

# LEDIGLICH ZUR INFORMATION

Code, die zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AT	Österreich	FI	Finnland .	MR	Mauritanico Malawi
AU	Australien	FR	Frankreich	MW	
BB	Barbados	GA	Gabon	NE	Niger
BE	Belgien	GB	Vereinigtes Königreich	NL	Niederlande
BF	Burkina Faso	GN	Guinca	NO	Norwegen
BG	Bulgarien	GR	Griechenland	NZ	Neusceland
	Benin	HU	Ungarn	PL	Polen
BJ		JE	Irland	PT	Portugal
BR	Brasilien	ī	Italien	RO	Rumānien
BY	Belarus .			RU	Russische Föderation
CA	Kanada	JP	Japan Demokratische Volksrepublik Korea	SD	Sudan
CF	Zentrale Afrikanische Republik	KP		SE	Schweden ·
CG	Kongo	KR	Republik Korea	SI	Slowenien
CH	Schweiz	K2	Kasachstan	SK	Slowakischen Republik
CI	Côte d'Ivoire	Lì	Liechtenstein	SN	Senegal
CM	Kamerun	LK	Sri Lanka	TD	Tschad
CN	China	LU	Luxemburg		
CS	Tschechoslowakei	LV	Lettland	TC	Togo
cz	Tschechischen Republik	MC	Monaco	UA	Ukraine Vereinigle Staaten von Amerika
DE	Deutschland	MG	Madagaskar	US	
DK	Dänemark	ML	Mali	UZ	Usbekistan
ES	Spanien	MN	Mongolei	VN	Victnam

5

Rechnersystem mit mindestens einem Mikroprozessor und mindestens einem Coprozessor und Verfahren zu dessen Betrieb

- 1 -

Zur Lösung rechenaufwendiger Aufgaben werden zur Unterstützung von Mikroprozessoren parallel arbeitende Hardware-Rechenbausteine, sog. Coprozessoren, eingesetzt. Diese sind fest verdrahtet und in ihrer Hardware-Beschaffenheit software-technisch nicht variabel. Ein typisches

Rechnungssystem besteht dabei aus einem als CPU-arbeitenden Mikroprozessor und einem Coprozessor, der mit dem Mikroprozessor verbunden ist. Mikroprozessor und Coprozessor arbeiten bei der Ausführung z.B. eines Anwenderprogramms so zusammen, daß bei Bearbeitung eines Befehles,

der vom Coprozessor ausführbar ist, der Mikroprozessor über eine direkte Verbindung den Coprozessor anstößt. Sodann arbeiten Mikroprozessor und Coprozessor parallel weiter, bis das Ergebnis des Coprozessors vorliegt. Dieses Ergebnis wird dann an den Mikroprozessor übertragen.

Mikroprozessor und Coprozessor kommunizieren somit über eine genau definierte Schnittstelle. Die Hardware des Coprozessors und die damit verbundene Funktionalität ist vorgegeben. Eine Erhöhung der Rechenleistung wird dabei durch Hardware erreicht, welche für eine bestimmte Aufgabe entworfen wurde. Solche handelsüblichen Arithmetikprozessoren findet man z.B. in Heimcomputern, ein Beispiel davon ist in U.Tietze, Ch.Schenk, Halbleiterschaltungstechnik, 9. Auflage, Seite 707 bis 715 beschrieben.

Die der Erfindung zugrundeliegende Aufgabe besteht nun darin, ein Rechensystem, welches aus Mikroprozessoren und mindestens einem Coprozessor besteht, so zu verbessern, 11/The - 20.8.1982

5

25

30

35

daß die Funktion des Coprozessors entsprechend dem zu bearbeitenden Anwenderprogramm konfigurierbar ist. Diese Aufgabe wird gemäß den Merkmalen des Patentanspruchs l gelöst.

Die Leistungsfähigkeit des Coprozessors wird erfindungsgemäß somit dadurch erhöht, daß die Hardware-Struktur je nach Aufgabenstellung einstellbar ist. Vorteilhafter-10 weise läßt sich zu jedem Zeitpunkt eine für die Lösung des Problems besonders gut geeignete Coprozessor-Hardware einstellen. Der konfigurierte Coprozessor wird vom Mikroprozessor ganz normal wie ein standardmäßiger Coprozessor-Baustein angesprochen und verwaltet. Deshalb kann ein 15 entsprechend aufgebauter software-konfigurierter Coprozessor ohne Eingriff in ein bestehendes Mikroprozessor basiertes Rechnersystem an der Stelle eines Standard-Coprozessor eingesetzt werden. Alle Aufrufe und Ansteuersequenzen bleiben davon, abgesehen von der zusätzlichen 20 Initialisierung für die vom einstellbaren Coprozessor auszuführende Funktion, unberührt.

Es ist dabei vorteilhaft, daß ein oder mehrere derartige Coprozessoren entsprechend einem auszuführenden Anwenderprogramm einstellbar oder konfigurierbar sind. Zum Beispiel kann bei der Compilierung eines Anwenderprogrammes festgestellt werden, welche Sequenzen im Anwenderprogramm häufiger vorkommen und daher zur Beschleunigung der Bearbeitung durch einen Coprozessor ausführbar sein sollen. Für derartig festgestellte Sequenzen, die z.B. arithmetische Operationen sein können, werden dann die im Rechnersystem vorhandenen Coprozessoren konfiguriert und dann an der Stelle des Programms, an der die Bearbeitung der entsprechenden Sequenz beginnt, die Ausführung diesem Coprozessor übergeben. Dazu ist es zweckmäßig, daß z.B. in einer Bibliothek für verschiedene von einem Coprozessor

5

auszuführende Funktionen ein vorgefertigter Konfigurationscode enthalten ist, der dann in den Programmcode eingebracht wird, also zum laufenden Programm gebunden wird.

Andere Weiterbildungen der Erfindung ergeben sich aus den Unteransprüchen.

10 .

15

20

25

Anhand eines Ausführungsbeispieles, das in den Figuren dargestellt ist, wird die Erfindung weiter erläutert. Es zeigen

Figur 1 ein Rechnersystem bestehend aus einem Mikroprozessor und einem Coprozessor,

Figur 2 ein Beispiel eines konfigurierbaren Coprozessors.

Nach Figur 1 besteht ein Rechnersystem RS aus einem Mikroprozessor MP, der die Funktionen einer Zentraleinheit eines
Rechners hat, einem Coprozessor COP, einer Konfigurationseinheit KE und einem Systembus SB. Der Mikroprozessor MP
ist mit dem Coprozessor COP verbunden. Bei der Verarbeitung eines Programms initialisiert der Mikroprozessor den
Coprozessor COP, wenn dieser eine Funktion ausführen soll,
für die er spezialisiert ist. Mikroprozessor MP und Coprozessor COP arbeiten dann parallel, bis der Coprozessor COP
seine Funktion ausgeführt hat. Das Ergebnis gibt dann der
Coprozessor an den Mikroprozessor MP.

Der Coprozessor COP kann gemäß Figur 2 hardwäremäßig so ausgeführt sein, daß die von ihm auszuführende Funktion erst dann eingestellt oder konfiguriert wird, wenn das zu bearbeitende Programm compiliert wird. Dann nämlich ist feststellbar, welche Befehlssequenzen von einem Coprozessor ausführbar sind und welche nicht. Um nun den Coprozessor COP entsprechend zu konfigurieren, ist eine Einheit KE vorhanden, die über den Systembus SB mit dem

5

Mikroprozessor MP verbunden ist. Über den Systembus SB wird der Konfigurationseinheit KE nach der Compilierung des zu bearbeitenden Programms mitgeteilt, welche Funktion vom Coprozessor COP auzuführen ist. Dementsprechend wird dieser eingestellt.

-4-

Figur 2 zeigt einen solchen konfigurierbaren Coprozessor. Konfigurierbare Bausteine, die für diesen Zweck verwend-10 bar sind, sind bereits bekannt und werden unter den Begriff programmierbarer Gate-Array vertrieben. Sie bestehen aus Funktionseinheiten F(I), die jeweils eine Funktion ausführen können. Wenn feststeht, welche Funktionen von dem Coprozessor COP bearbeitet werden soll, dann kann die 15 entsprechende Funktionseinheit F(i) von der Konfigurationseinheit KE über die Leitung L ausgewählt werden und über Verdrahtungskanäle VK mit dem Mikroprozessor MP verbunden werden. Die Konfigurierung, also die Auswahl einer der Funktionseinheiten F(i), wird von der Konfigurations-20 einheit KE entsprechend einer von dem Compiler gelieferten Information ausgeführt.

Ein Compiler für diese Zwecke muß zusätzlich zu seinen üblichen Aufgaben während der Übersetzung des Quellpro-25 gramms zusätzlichen Konfigurationscode erzeugen. Diese zusätzliche Konfigurationscode, der in das Programm eingefügt wird, wird der Konfigurationseinheit KE zugeführt, die dann dementsprechend den Coprozessor COP ein-30 stellt. Dies kann auf folgende Weise geschehen: Bei der Übersetzung eines Anwenderprogramms oder Quellprogramms wird gewöhnlich ein Controll-Datenflußgraph erstellt. Ein solcher Graph enthält Knoten, welche abstrakte Operationen, wie z.B. Multiplikation, Addition, Schiebeoder Spezialoperationen repräsentieren, und Kanten, welche 35 den Kontrollfluß darstellen. Gewöhnlich werden alle abstrakten Operationsknoten und Kanten in Maschinencode

5

10

15

20

25

übersetzt. Dieses Maschinenprogramm ist dann auf der Zielmaschine ablauffähig.

Knoten und Kanten des Kontroll- und Datenflußgraphen entsprechen somit entweder Grundoperationen in der Programmiersprache oder den Mustern für die Software-Konfiguration spezieller Hardware-Elemente, der Coprozessoren. Da für jede dieser abstrakten Operationen bereits bei der Übersetzung ein Aufwand (Zeit, Komplexität der Hardware-Realisation, usw.) oder Kostenfaktor angegeben werden kann und die Häufigkeit dieser Operationen bekannt ist, lassen sich die Operationen bestimmen, welche von einem Coprozessor unterstüzt oder ausgeführt werden sollen.

Werden die Graphen bezüglich auftretender Seqeunzen untersucht, dann ergeben sich unmittelbar die Stücke im Programmablauf, welche durch software-konfigurierbare Elemente unterstüzt werden können. Im einfachsten Fall kopiert man dann für ausgewählte Sequenzen vorgefertigten Konfigurationscode aus einer Bibliothek in den Programmcode ein oder modifiziert bestehende Bibliothekselemente entsprechend.

-6-

## Patentansprüche

- 1. Rechnersystem mit mindestens einem Mikroprozessor (MP)
  und mindestens einem Coprozessor (COP), der zur Ausführung einer Funktion spezialisiert ist,
  bei dem der Coprozessor (COP) mindestens eine programmierbare Funktionseinheit (F(i)) aufweist, die jeweils über
  programmierbare Verdrahtungskanäle (VK) mit dem Mikroprozessor (MP) verbindbar ist.
- Rechnersystem nach Anspruch 1,
   bei dem im Coprozessor (COP) eine Mehrzahl von Funktions einheiten (F(i)) vorgesehen ist, von denen jede zur
   Ausführung einer Funktion spezialisiert ist und bei dem
   entsprechend der auszuführenden Funktion eine der Funktions einheiten über die Verdrahtungsskanäle mit dem
   Mikroprozessor (MP) verbindbar ist.
- Verfahren zum Betrieb eines Rechnersystems nach Anspruch 1 oder 2,
   bei dem für ein zu bearbeitendes Anwenderprogramm bei dessen Compilierung die Befehlssequenzen festgestellt werden, die mit einem Coprozessor ausführbar sind, bei dem der Coprozessor dementsprechend konfiguriert wird und mit dem Mikroprozessor (MP) verbunden wird.
- 4. Verfahren nach Anspruch 3,
  bei dem zur Konfigurierung des Coprozessors (COP) vom
  Compiler in das übersetzte Programm Konfigurationscode
  eingefügt wird, mit dem die Konfiguration des Coprozessors während des Ablaufes des Progammes veranlaßt
  wird.

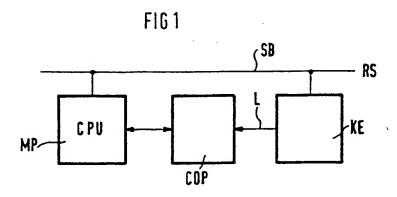
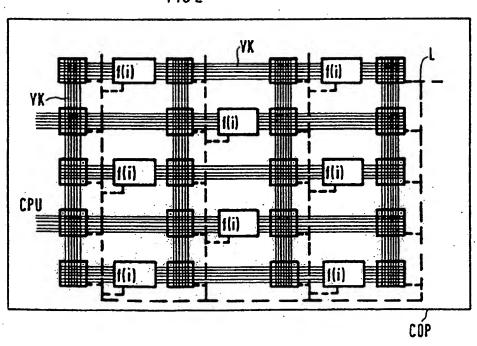


FIG 2



		PC	T/DE 93/00720		
A. CLASS IPC 5	SIFICATION OF SUBJECT MATTER G06F9/38 G06F15/78				
According	to International Patent Classification (IPC) or to both national	classification and IPC	·		
	S SEARCHED				
IPC 5	documentation searched (classification system followed by class GO6F	silication symbols)			
Documenta	ation searched other than minimum documentation to the extent	that such documents are included i	n the fields searched		
Electronic o	data base consulted during the international search (name of da	ta base and, where practical, search	terms used)		
C. DOCUM	MENTS CONSIDERED TO BE RELEVANT		······································		
Category *	Citation of document, with indication, where appropriate, of	the relevant passages	Relevant to claim No.		
Х	EP,A,O 497 029 (ANALOGIC CORP)	5 August	1-4		
	see column 1, line 49 - column				
	see column 2, line 36 - column 3, line 2 see column 3, line 36 - column 4, line 13				
		, ille 13			
A	IEEE SOUTHEASTCON '87 vol. 1 , 5 August 1987 , TAMPA	AZII	1,2		
	pages 225 - 228				
	M. C. ERTEM 'A reconfigurable co-processor for microprocessor systems'				
	see the whole document				
		-/			
X Furth	ner documents are listed in the continuation of box C.	X Patent family member	s are listed in annex.		
Special cat	egories of cited documents:		after the international filing date		
conside	ent defining the general state of the art which is not cred to be of particular relevance		n conflict with the application but inciple or theory underlying the		
. filing d		"X" document of particular rel cannot be considered nove	el or cannot be considered to		
which i	int which may throw doubts on priority claim(s) or is cited to establish the publication date of another i or other special reason (as specified).	"Y" document of particular rel			
	ent referring to an oral disclosure, use, exhibition or	document is combined wit	nvolve an inventive step when the th one or more other such docu- being obvious to a person skilled		
	nt published prior to the international filing date but an the priority date claimed	in the art. "&" document member of the s			
ate of the a	actual completion of the international search	Date of mailing of the inter	mational search report		
24	November 1993	0 3. 12	2. 93		
lame and m	hailing address of the ISA  European Patent Office, P. R. SRIN Patentian 2	Authorized officer			
	European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Td. (+31-70) 340-2040, Tx. 31 651 epo ni,	Minhal T			
	Fax: ( : 31-70) 340-3016	Michel, T			

Form PCT/ISA/210 (second sheet) (July 1992)

2.

# INTERNATIONAL SEARCH REPORT

Inter nal Application No
PCT/DE 93/00720

		PUI/DE 9.	3/00/20
	OUDDO OF CONSIDERED TO BE RELEVANT		Determine to claim No.
(lategory *	Citation of document, with indication, where appropriate, of the relevant passages		Relevant to claim No.
A	IEEE 1990 CUSTOM INTEGRATED CIRCUITS CONFERENCE May 1990 pages 3141 - 3144 N. HASTIE AND R. CLIFF 'The implementation of hardware subroutines on field programmable gate arrays' see page 3142, line 6 - line 30; figure B2		1,2
<b>A</b>	IEEE 1987 CUSTOM INTEGRATED CIRCUITS CONFERENCE July 1987 pages 149 - 152 J. ROWSON ET AL 'A datapath compiler for standard cells and gate arrays' see the whole document		3,4
\	US,A,4 694 416 (J. E. WHEELER ET AL) 15 September 1987 see the whole document		1,2
A	US,A,4 829 380 (R. M. IADIPAOLO) 9 May 1989 see the whole document		1,2
	<del></del>		
ĺ	·		
	·		
-			
1			
	•		
.			
			<i>.</i> .
			٠.
		•	

#### INTERNATIONAL SEARCH REPORT

information on patent family members

Inter nal Application No PCT/DE 93/00720

Patent document cited in search report	Publication date	Patent memb		Publication date
EP-A-0497029	05-08-92	NONE		
US-A-4694416	15-09-87	CA-A-	1245365	22-11 <b>-</b> 88
US-A-4829380	09-05-89	NONE		

# INTERNATIONALER RECHERCHENBERICHT

Inten sales Aktenzenchen
PCT/DE 93/00720

A. KI.AS IPK 5	SIFIZIERUNG DES ANMELDUNGSGEGENSTANDES G06F9/38 G06F15/78		
Nach der I	nternationalen Patentklassifikation (IPK) oder nach der nationalen I	Klassifikation und der IPK	
B. RECH	ERCHIERTE GEBIETE		
Recherchie IPK 5	rter Mindestprüfstoff (Klassifikationssystem und Klassifikationssym G06F	bole)	
Recherchic	rte aber nicht zum Mindestprüßtoff gehörende Veröffentlichungen,	sowert diese unter die recherchierten Gebiet	e fallen
Während d	er internationalen Recherche konsultierte elektronische Datenbank (	Name der Datenbank und evil. verwendete	: Suchbegriffe)
C. ALS W	ESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Anga	the der in Betracht kommenden Teile	Betr. Anspruch Nr.
х	EP,A,O 497 029 (ANALOGIC CORP) 5	_	1-4
	siehe Spalte 1, Zeile 49 - Spalte 11		
	siehe Spalte 2, Zeile 36 - Spalte 2	e 3, Zeile	
·	siehe Spalte 3, Zeile 36 - Spalte 13	e 4, Zeile	
A	IEEE SOUTHEASTCON '87 Bd. 1 , 5. August 1987 , TAMPA, U Seiten 225 - 228		1,2
	M. C. ERTEM 'A reconfigurable co- for microprocessor systems' siehe das ganze Dokument	-processor	•
()		-/	
	·		
	tere Veröffentlichungen and der Fortsetzung von Feld C zu ehmen	X Siehe Anhang Patentfamilie	
'A' Veröff aber n	Kategorien von angegebenen Veröffentlichungen : entlichung, die den allgemeinen Stand der Technik definiert, ucht als besonders bedeutsam anzusehen ist Dokument, das jedoch erst am oder nach dem internationalen	"I" Spätere Veröffentlichung, die nach den oder dem Prioritätsdatum veröffentlich Anmeldung nicht kollidiert, sondern n Erfindung zugrundeliegenden Prinzips Theorie angegeben ist	ur zum Verständnis des der
Anme 1. Veröffe schen	idedamm veröffentlicht worden ist mitlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft er- en zu lassen, oder durch die das Veröffentlichungsdatum einer m im Recherchenbericht genannten Veröffentlichung belegt werden der die niesen anderen berioden.	"X" Veröffentlichung von besonderer Bede- kann allein aufgrund dieser Veröffentli- erfinderischer Tätigkeit berühend betra	ichung nicht als neu oder auf ichtet werden
ausgef	which the sich auf eine mündliche Offenbarung,	kann nicht als auf erfinderischer Tätig werden, wenn die Veröffentlichung mi Veröffentlichungen dieser Kategorie in	tent beruhend betrachtet tenner oder mehreren anderen i Verbindung gebracht wird und
P Veröffe	enutzung, eine Ausstellung oder andere Maßnahmen bezieht entlichung, die vor dem internationalen Anmeldedaum, aber nach eansprüchten Prioritätsdatum veröffentlicht worden ist	diese Verbindung für einen Fachmann *&* Veröffentlichung, die Mitglied derselb	
	Abschlusses der internationalen Recherche	Absendedatum des internationalen Re 0 3. 12. 93	cherchenberichts
	4. November 1993		
Name und l	Postanschrist der Internationale Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NI, - 2280 HV Rijswijk	Bevollmächtigter Bediensteter	
	Tel. (+ 31-70) 340-3040, Tx. 31 651 cpo ni, Fax: (+ 31-70) 340-3016	Michel, T	

## INTERNATIONALER RECHERCHENBERICHT

Inten sales Aktenzeichen
PCT/DE 93/00720

		PCT/DE 9	3/00720
	ing) ALS WISSENTLICH ANGESTHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommei	iden Tale	Betr. Anspruch Nr.
A	IEEE 1990 CUSTOM INTEGRATED CIRCUITS CONFERENCE Mai 1990 Seiten 3141 - 3144 N. HASTIE AND R. CLIFF 'The implementation of hardware subroutines on field programmable gate arrays' siehe Seite 3142, Zeile 6 - Zeile 30; Abbildung B2		1,2
A .	IEEE 1987 CUSTOM INTEGRATED CIRCUITS CONFERENCE Juli 1987 Seiten 149 - 152 J. ROWSON ET AL 'A datapath compiler for standard cells and gate arrays' siehe das ganze Dokument		3,4
A	US,A,4 694 416 (J. E. WHEELER ET AL) 15. September 1987 siehe das ganze Dokument		1,2
4	US,A,4 829 380 (R. M. IADIPAOLO) 9. Mai 1989 siehe das ganze Dokument		1,2
ŧ			

2

## INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur seiben Patentfamilie gehören

Inter. nales Aktenzeichen
PCT/DE 93/00720

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung	
EP-A-0497029	05-08-92	KEINE		
US-A-4694416	15-09-87	CA-A- 1245365	22-11-88	
US-A-4829380	09-05-89	KEINE		